

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-198780

⑬ Int. Cl.

H 01 L 29/78
29/60

識別記号

庁内整理番号

8422-5F
7638-5F

⑭ 公開 昭和60年(1985)10月8日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 MOSトランジスタ装置

⑯ 特 願 昭59-53914

⑰ 出 願 昭59(1984)3月21日

⑱ 発 明 者 尾 崎 正 晴

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑲ 出 願 人 セイコー電子工業株式
会社

東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称 MOSトランジスタ装置

2. 特許請求の範囲

ゲート領域とドレイン領域との間又は前記ゲート領域とソース領域との間の少なくとも一方にオフセット部を設け、該オフセット部に、該オフセット部を形成する2つの領域を結合する所要の導電型の二重拡散層を設けると共に、該二重拡散層部分に相応する部分のゲート酸化膜の厚さを他の部分より厚くしたことを特徴とするMOSトランジスタ装置。

3. 発明の詳細な説明

本発明はMOSトランジスタ装置に関し、更に詳細に述べると、オフセット構造を有する高耐圧、大電流用のMOSトランジスタ装置に関する。

MOSトランジスタの高耐圧化を図るため、従来から、オフセット構造を有するMOSトランジ

スタが用いられているが、従来のオフセット構造MOSトランジスタにおいては、ゲート電圧が高くなるにつれてドレイン・ソース間の耐圧が低下するという問題点を有している。

第1図には、従来のオフセット型MOSトランジスタの構造の一例を示す断面図が示されている。符号1で示されるのはP⁺⁺型基板であり、該P⁺⁺型基板1には、ソース領域を形成するN⁺型拡散層2と、ドレイン領域を形成するN⁺型拡散層3とが形成されている。そして、絶縁層4上に形成されるゲート電極5とドレイン領域を形成するN⁺型拡散層3とは、所定距離だけオフセットされて配置され、且つ、このオフセット部分には、N型拡散層6が図示の如く形成されている。尚、第1図中、7はソース電極、8はドレイン電極である。

上述の如く構成されたオフセット型MOSトランジスタは、ゲート電圧V_gが零の場合には、高耐圧特性を得ることができるが、ゲート電圧V_gが高くなるにつれて耐圧性が低下し、より低いド

レイン電圧 V_D についてドレイン・ソース間がブレークダウンを起こしてしまう。この様子が、第2図に、横軸にドレイン電圧 V_D 、縦軸にドレイン電流 I_D をとり、ゲート電圧 V_G をパラメータにして示してある。

この耐圧低下の原因は、ゲート電圧 V_G が高くなるにつれて、 N 型拡散層6を流れる電流が増大することと起因している。しかし、これを避けるため N 型拡散層6の拡散深さを深くすると、その表面の不純物濃度が低下してしまい、表面部分の導電型が反転してしまうので、オフセット部の電氣的接続が断状態となってしまうという不具合を生じる。また、 N 型拡散層6の拡散深さを深くすると共に表面不純物濃度を上げると、ゲート電圧 $V_G = 0$ の場合の耐圧特性まで低下してしまうという不具合を生じてしまう。

本発明の目的は、従つて、ゲート電圧の値に影響されことなく、高耐圧性を保持することができ、オフセット構造を有する高耐圧型の MOB トランジスタ装置を提供することにある。

20が N^+ 型拡散層18に接続されている。

MOB トランジスタ11は、絶縁層15のゲート絶縁膜を形成する部分が、従来通りの薄膜部分15aと、薄膜部分15aの膜厚より厚い膜厚に形成され、 N^+ 型拡散層18にまで伸びる厚膜部分15bとから成っている。しかし MOB トランジスタ11を本質的にオフセット構造形の MOB トランジスタとして構成するため、 N^+ 型拡散層18は、絶縁層15の薄膜部分15aの端部と水平方向に距離 L だけ離されており、薄膜部分15aの下にドレイン領域が形成されないようになっている。ゲート電極21は、薄膜部分15aと厚膜部分15bとの上に図示の如く形成されている。薄膜部分15aの下に形成されるゲート領域と、ドレイン領域として働く N^+ 型拡散層18との間に設けられたオフセット部には、二重拡散層22が設けられており、該二重拡散層22によつてゲート領域とドレイン領域とが結合される構成となっている。

二重拡散層22は、図示の実施例では、 N^+ 型

本発明による MOB トランジスタ装置の構成は、ゲート領域とドレイン領域との間又はゲート領域とソース領域との間の少なくとも一方にオフセット部を設け、該オフセット部に、該オフセット部を形成する2つの領域を結合する所要の導電型の二重拡散層を設けると共に、該二重拡散層部分に相応する部分のゲート酸化膜の厚さを他の部分より厚くした点に特徴を有する。

以下、図示の実施例により本発明を詳細に説明する。

第3図には、本発明による MOB トランジスタの一実施例の断面構造が示されている。この MOB トランジスタ11は、 P^- 型基板12を有し、該基板12には、ソース領域として働く N^+ 型拡散層13が P^- 型拡散層14を介して形成されており、絶縁層15に明けられた窓16を介して、 N^+ 型拡散層13にソース電極17が接続されている。 P^- 型基板12には、更に、ドレイン領域として働く N^+ 型拡散層18が設けられており、絶縁層15に明けられた窓19を介して、ドレイン電極

拡散層18と P^- 型基板12との間に設けられその一端がゲート絶縁膜の薄膜部分15aの下部にまで達するように形成された N^- 型の第1拡散層23と、該第1拡散層23内であつてゲート絶縁膜の薄膜部分15aの下部から N^+ 型拡散層18内にまで延びるように形成された N 型の第2拡散層24とから成っている。

第4図には、第1及び第2拡散層23、24の不純物プロファイルが、夫々、特性曲線(イ)及び(ロ)で示されている。第4図から判るように、第1拡散層23では、基板表面からの深さ D に対してその不純物濃度 C がゆるやかに変化し、且つ、基板表面($D=0$)での不純物濃度 C が比較的小さくなるようにその不純物プロファイルが定められている。

一方、第2拡散層24では、基板表面での不純物濃度 C が比較的大きく、深さ D の増大に対して不純物濃度 C は急激に減少する不純物プロファイルとなつている。

上述の如き構造の二重拡散層22を設けると、

ソースと、ドレインとの間に流れる電流は、オフセット部を通過する際に、主として第2拡散層24内を流れるが、第1拡散層23を介しても流れ、従つて、第1拡散層23によつて第2拡散層24の拡散深さを等価的に深くする効果が与えられる。そして、この場合、第2拡散層24の不純物濃度は第4図に示した如く、比較的高く設定されているので、従来の一重拡散の場合の如く、表面の不純物濃度が低下してその表面部分の導電型が反転してしまふ等の不具合を生じることがない。

更に、オフセット部に対応して、厚い絶縁ゲート膜を設け、ゲート電圧によるチャンネル制御効果の一部をオフセット部にも及ぼすようにしたので、オフセット部の絶縁膜側表面における導電型の反転を有効に抑えることができ、二重拡散層としたことによる耐圧特性の向上効果と相俟つてより一層すぐれた特性のMOSトランジスタを得ることが期待できるものである。

また、上述の如く、オフセット部を流れる電流は、第1拡散層23にも分散して流れ、第2拡散

層24に集中して流れることが防止できるので、ゲート電圧を印加しても、その耐圧特性が低下することがなく、第3図に示す構造のMOSトランジスタのドレイン電圧 V_D -ドレイン電流 I_D の特性曲線は、第5図に示す如くなる。この特性曲線から判るように、ゲート電圧 V_G の値を大きくしても、 $V_G = 0$ の場合の耐圧特性を維持することができる。

従つて、高耐圧、大電流のMOSトランジスタとして有効である。

上記実施例では、本発明を一実施例について説明したが、本発明はこの実施例に限定されるものではなく、例えば、他の導電型のMOSトランジスタにも同様にして適用可能である。

更に、上記実施例では、ゲート領域とドレイン領域との間にオフセット部を設け、ここに二重拡散層22を形成すると共に膜厚のゲート絶縁膜を形成した場合について説明したが、ゲート領域とソース領域との間に上記と同様の構成のオフセット部を設けてもよい。この場合、上述のオフセッ

ト部はゲート領域とドレイン領域との間、又はゲート領域とソース領域との間のいずれか一方、或るいは両方に設けてもよい。

本発明によれば、上述の如く、オフセット構造を有するMOSトランジスタにおいて、オフセット部に二重拡散層を設けたので、ゲート電圧の値によらず高耐圧性を維持することができ、且つ、大電流にて使用することができる。高耐圧、大電流用のMOSトランジスタ装置を提案することができる。

4. 図面の簡単な説明

第1図は、従来のオフセット構造形MOSトランジスタの構造の一例を示す断面図、

第2図は第1図に示したMOSトランジスタの特性図、

第3図は本発明によるオフセット構造形MOSトランジスタの一実施例の構造を示す断面図、

第4図は第3図に示す二重拡散層の各拡散層の不純物プロファイルを示す図、

第5図は第3図に示したMOSトランジスタの特性図である。

- 11... MOSトランジスタ、
- 12... P^{++} 型基板、 13... N^+ 型拡散層、
- 14... P^- 型拡散層、 15... 絶縁層、
- 15a... 薄膜部分、 15b... 厚膜部分、
- 17... ソース電極、 18... N^+ 型拡散層、
- 20... ドレイン電極、 21... ゲート電極、
- 22... 二重拡散層、 23... 第1拡散層、
- 24... 第2拡散層。

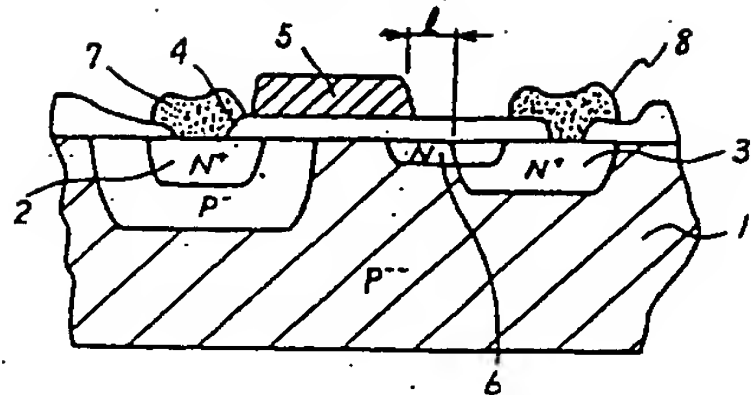
以 上

出願人 セイコー電子工業株式会社

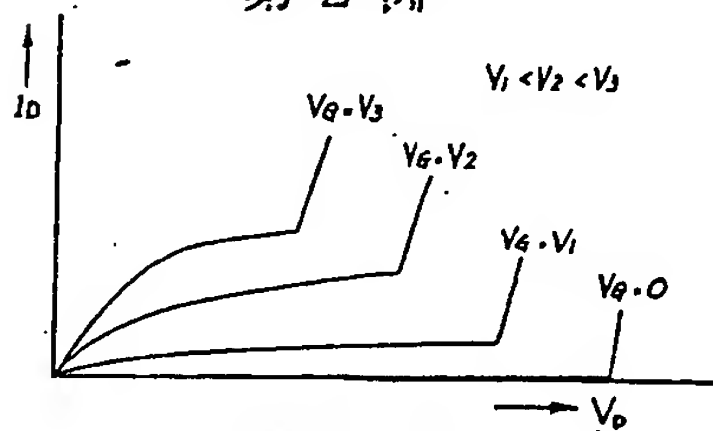
代理人 弁理士 兼 上



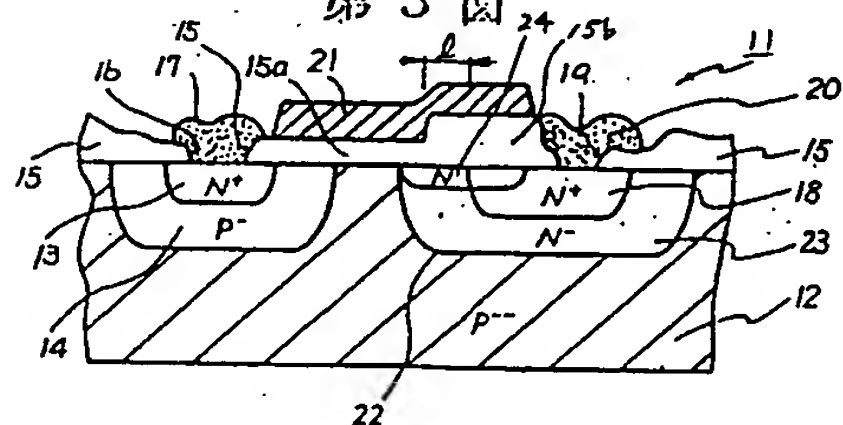
第1圖



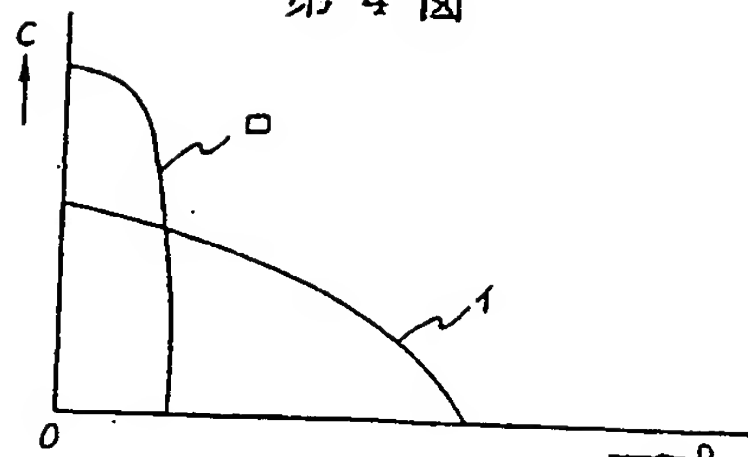
第2圖



第3圖



第4圖



第5圖

